

Charge utile d'observation Pour micro drone à base d'une Micro caméra numérique

Philippe BURDINAT – SUPAERO – Laboratoire de Conception d'Imageurs Matriciels Intégrés (CIMI)
10 avenue Edouard Belin – BP4032 31055 Toulouse Cedex 4 France.
TEL : 05 62 17 82 58, e-mail : philippe.burdinat@supaero.fr

Résumé

Pour répondre aux critères de qualités d'observation des micro-drones en particulier dans le cadre du Trophée Micro-Drones organisé par SUPAERO, le laboratoire CIMI, en collaboration avec le laboratoire d'électronique de SUPAERO, a développé une charge utile d'observation à base d'une micro caméra numérique, en prenant en compte les contraintes du système en terme de portabilité. Ce système de transmission, d'image numérique est constitué de trois parties principales qui sont la capture et la compression des données d'image dans la partie embarquée, le canal de transmission qui englobe une partie embarquée et une partie au sol, et l'acquisition des données pour l'affichage des images en temps réel sur PC. La partie capture et traitement de l'image est composée d'un chipset (capteur + coprocesseur) capable de compresser les images en temps réel dans un format JPEG standard. Le canal de transmission module les signaux d'image en deux états de phase sur une fréquence porteuse de 2.45 Ghz. La partie sol est composée d'un démodulateur numérique qui travaille sur une bande FI convertie en numérique.

INTRODUCTION

L'OBJECTIF principal de ce projet «micro caméra» est évidemment d'obtenir une partie embarquée la plus petite et la plus légère possible. Mais ces deux seuls critères ne suffisent pas à justifier le choix du «tout numérique». Outre la qualité de l'image ou encore la possibilité de sécuriser l'information transmise par codage, la justification de ce choix se trouve dans la volonté d'aller plus loin, vers des systèmes, embarqués et autonomes, de traitement de l'image et de reconnaissance d'objets qui pourront, à terme, être intégrés sur silicium. Cette micro caméra constitue donc une première approche par laquelle nous avons cherché à évaluer la faisabilité d'un système de capture et de transmission d'images dans un encombrement le plus faible possible. Ce document décrit le fonctionnement de ce système dans le sens descendant de la transmission, après avoir rappelé les caractéristiques de la caméra.

1) La micro caméra numérique

La photo de la *figure 1* donne une idée de la taille de la caméra dont les dimensions sont 25.4 mm x 25.4 mm.

Sa masse, de 6.4 grammes, comprend un capteur d'image APS (Active Pixel Sensor) d'une résolution de 640 x 480 pixels en monochrome, un coprocesseur d'image capable de traiter et de compresser en JPEG standard 14 images par seconde.



Figure 1 : la micro caméra

Le traitement du signal pour la transmission des données à 3.125 Mbit/s en BPSK (Bipolar Phase Shift Keying) est réalisé dans un FPGA (Field Programmable Gate Array) de petite taille. Le courant nécessaire à son fonctionnement est de 230mA dans une plage de tension allant de 3.3 V à 7.5 V.

2) Le transmetteur



Figure 2 : le transmetteur

La partie émission a des dimensions identiques à celles de la caméra avec une connectique compatible de façon à réaliser une connexion directe. Le mélangeur effectue une translation du spectre en bande de base, sans fréquence intermédiaire, vers une fréquence porteuse de 2,45 GHz, amplifié à 1mW (0 dbm) et peut accepter des modulations à 2 ou 4 états de phase dans une largeur spectrale de 250 Mhz. Sa consommation est de 70 mA dans une plage de tension pouvant varier de 5V à 7.5V, sa masse est de 10 grammes environ.

3) La fonction capture d'image

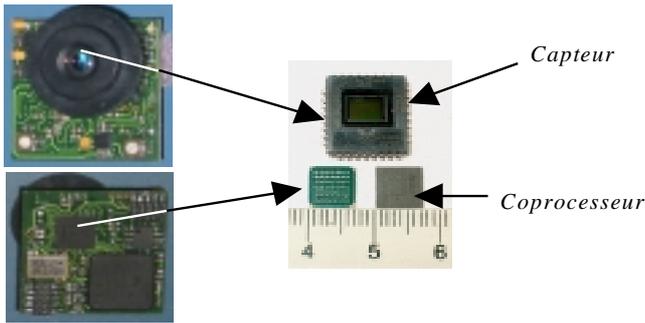


Figure 3 : Chipset de capture d'images

La fonction de capture d'images est réalisée par un chipset Agilent composé du capteur d'images APS CMOS HDCS 2020 et de son coprocesseur HDCP 2010. Notre choix s'est porté sur ce chipset pour son coprocesseur qui présente un faible encombrement (boîtier micro-BGA 49x7, 7x7mm) et qui intègre les fonctions indispensables pour un tel système.

3.1) L'auto-exposition

Le problème le plus critique pour ce type d'application et l'adaptation à la dynamique de luminosité intra-scène. La fonction d'auto-exposition de ce chipset permet à la caméra de s'adapter rapidement à une scène très éclairée (figure 4A) autant qu'à une scène sombre (figure 4B)

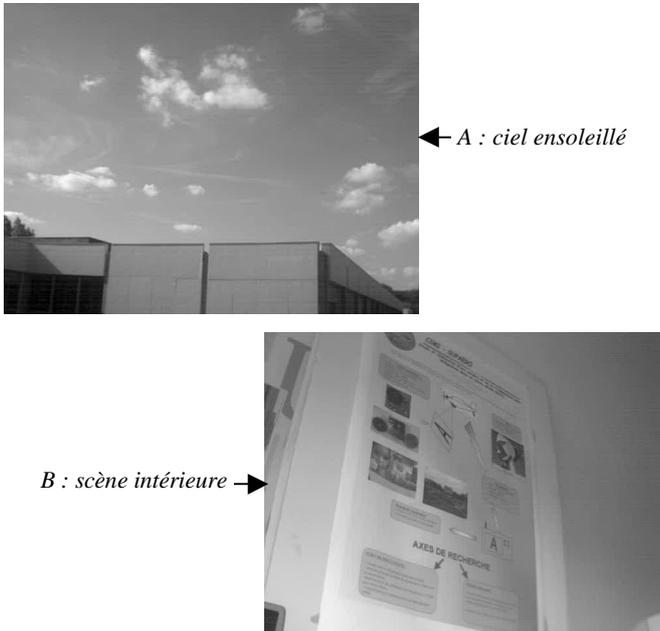


Figure 4 : prises des vue avec la micro caméra

Pour réaliser cette fonction, le coprocesseur agit sur le temps d'intégration et sur le gain appliqué au signal. Le coprocesseur peut choisir d'agir sur l'un ou l'autre des paramètres suivant des statistiques effectuées sur différentes zones de l'image [1].

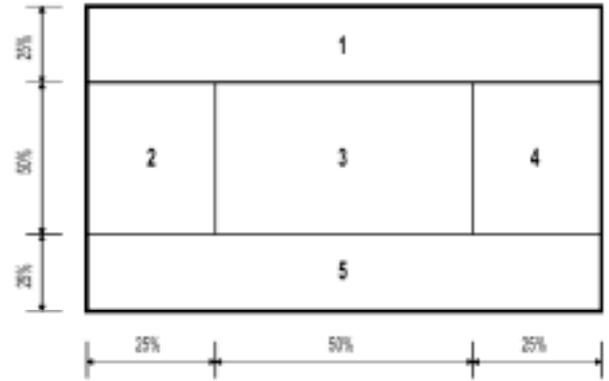


Figure 5 : zones statistiques pour l'auto-exposition

Cette gestion statistique multi-zones est nécessaire pour éviter le problème d'éblouissement. En effet, si une petite partie de l'image est éblouie, le coprocesseur va agir sur le temps d'intégration du capteur de façon à limiter l'effet de blooming [2] sur les zones non saturées où la visibilité pourra être rétablie en agissant sur le gain résultant des statistiques effectuées sur ces zones. La figure 6 illustre ce procédé :

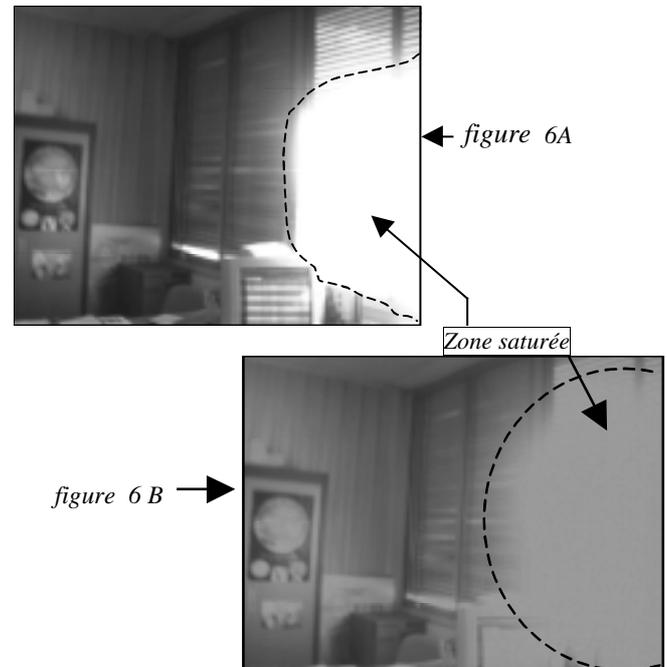


Figure 6 : gestion multi-zones de l'auto-exposition

La photo de la figure 6A a été réalisée avec un temps d'intégration faible et un gain permettant d'obtenir une visibilité suffisante dans les zones sombres. La figure 6B montre la même photo avec le temps d'intégration comme seul paramètre de correction. Dans ce cas, le temps d'intégration qui convient à la zone sombre est trop grand pour la zone de fort éclaircissement, ce qui accentue le phénomène de blooming (agrandissement de la zone saturée) et dégrade l'image dans son ensemble. De même que le gain comme seul paramètre ne permettrait pas de s'adapter à toutes les scènes. Dans le cas du micro drone, le contraste ciel/terre est important, surtout par temps ensoleillé. La gestion statistique multi-zones pour l'auto-exposition est

donc indispensable pour maintenir une bonne visibilité dans les zones sombres.

3.2) La compression d'image

Le but, dans tous les systèmes de transmission de données, est de minimiser la quantité d'informations transmises afin de réduire au maximum la largeur de bande occupée au niveau spectral ; ce, pour gêner le moins possible les autres utilisateurs dans les bandes autorisées. Cela débouche donc sur un compromis à trouver entre la quantité et la qualité des informations à transmettre.

Dans le cas de cette application, la transmission des images en temps réel au format VGA sans dégradation impliquerait le passage en série des 640 x 480 pixels en 8 bits (307,2 Koctets) 14 fois par seconde. Ce qui donnerait, en tenant compte des redondances, un débit de transmission de plus de 40 Mbit/seconde soit une largeur spectrale d'environ 80 Mhz en BPSK, ce qui correspond à la largeur de la bande autorisée par l'ART (Autorité de Régulations des Télécommunications) dans laquelle nous travaillons (2400 Mhz à 2483.5 Mhz). Une telle largeur spectrale n'est pas envisageable.

La fonction de compression d'image au format JPEG (Joint Picture Expert Group), intégrée au coprocesseur, permet de réduire considérablement la quantité d'information transmise par image. Le compromis se trouve donc entre la dégradation minimale de l'image générée par la compression et la largeur du canal de transmission.

Le standard JPEG [3] réalise la compression sur des blocs de 8x8 pixels. On applique une transformée en cosinus bloc par bloc (DCT, Digital Cosin Transform [3]). Après écrêtage à l'aide d'une matrice de quantification, le bloc est parcouru en «zig-zag» afin de lire en premier les composantes haute fréquence de fortes valeurs situées en haut à gauche du bloc. Les composantes basse fréquence de faible valeur, écrêtées par la quantification, ne sont pas transmises et seront remplacées par des zéros à la réception. Le bloc est ensuite déquantifié avant de subir la transformée en cosinus inverse (IDCT) [3] (figure7).

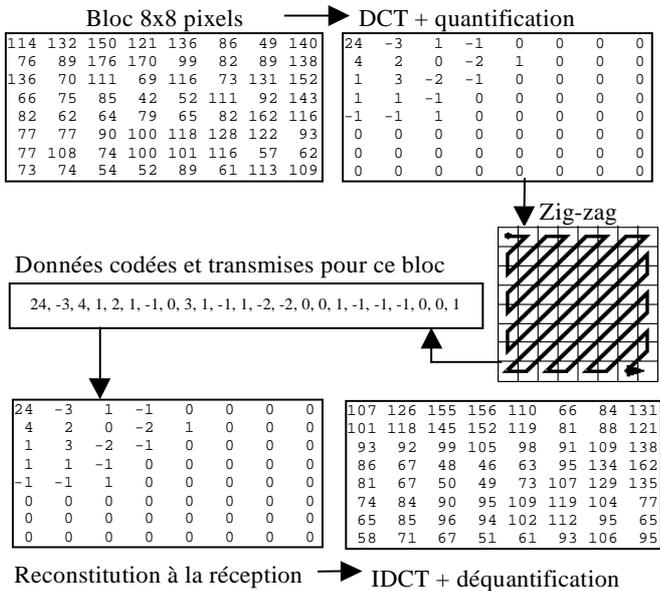


Figure 7 : Principe de compression bloc par bloc

Le taux de compression dépend donc uniquement du coefficient appliqué à la matrice de quantification. Il en résulte un «effet de bloc» sur l'image (figure 8) qui apparaît si le coefficient de quantification est trop élevé, ce qui correspond un fort taux de compression.

Le coprocesseur agit sur le coefficient de quantification afin de réguler le nombre moyen d'octets par trame [1]. La figure 8A montre une image compressée sur 22 Koctets, soit à un taux de compression de 14. La figure 8B montre la même image compressée sur 10 Koctets, soit un taux de compression d'environ 25. La configuration que nous avons retenue est celle de la figure 8A car elle constitue un bon compromis entre la qualité de l'image et la quantité d'information transmise.



Figure 8 : dégradation en fonction du taux de compression

Dans ce cas, le débit résultant de la transmission de 14 images par seconde à 22 Koctets en moyenne par trame est de $22000 \times 8 \times 14 \approx 2.5 \text{ Mbit/sec}$. Mais la valeur de 22 Ko par trame n'est qu'une valeur moyenne et ne peut être garantie lorsqu'il y a un changement brutal de la nature de la scène d'une image à l'autre (changement de luminosité par exemple). Il est donc nécessaire de choisir un débit plus important pour s'adapter à une augmentation momentanée du flux, ce qui justifie le choix du débit de sortie de la micro caméra qui est de 3.125 Mbit/sec .

4) Logique de commande et traitement du signal

La mise en œuvre du chipset Agilent (capteur + coprocesseur) nécessite un composant extérieur pour sa configuration. Cette configuration s'effectue via un bus I2C et permet notamment de programmer les paramètres de la compression JPEG et de l'auto exposition. (figure 9)[1].

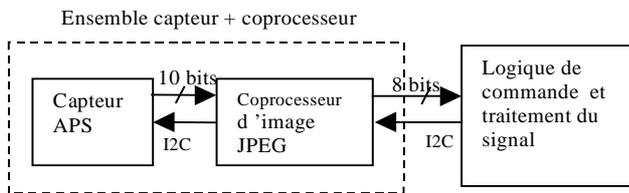
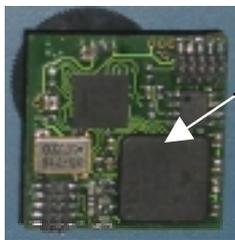


Figure 9 : mise en œuvre du chipset

Les deux composants du chipset communiquent également via un bus du type I2C totalement indépendant de l'autre. Les données en sortie du coprocesseur sont ensuite traitées et mises en forme pour le canal de transmission.

La logique de commande et le traitement du signal ont été entièrement programmés en VHDL et implémentés dans un réseau logique programmable (FPGA, Field Programmable Gate Array) de petite taille (Boîtier MicroBGA 144x12, 12x12mm)(figure 10).



FPGA Xilinx Virtex 100 000 portes

Figure 10

Le synoptique de la figure 11 permet de visualiser l'ensemble des fonctions réalisées par le FPGA.

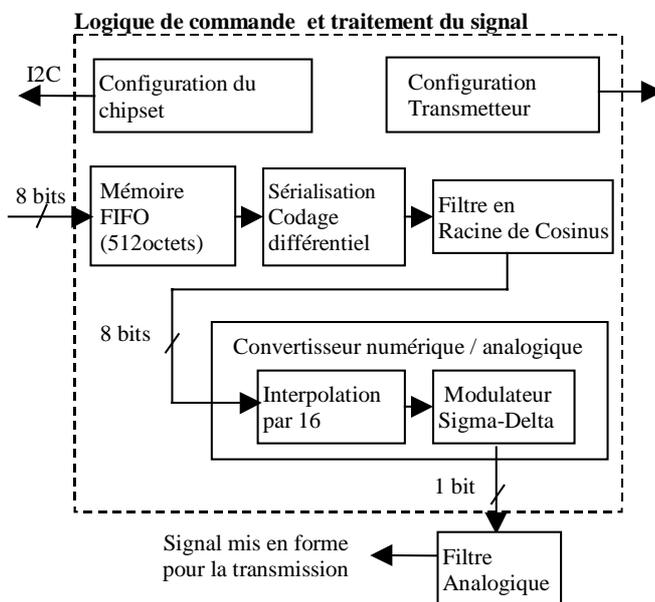


Figure 11 : fonctions intégrées au FPGA

On a vu (paragraphe 3.2) que la différence entre la nature des images engendre une variation de la longueur de la trame d'une image à l'autre. Or, pour des raisons de synchronisation avec le récepteur, la chaîne de transmission ne peut pas tolérer de variation du débit. La mémoire FIFO (First In First Out) asynchrone joue donc le rôle de tampon entre ces variations, dues à la compression JPEG, et le débit

constant de la transmission tout en ajoutant des mots de bourrage lorsque la mémoire est vide, dans le cas où il n'y aurait plus de données à transmettre.

La modulation à deux états de phase impose l'utilisation d'un codeur différentiel après sérialisation pour que la transmission ne soit pas sensible aux inversions de phase au niveau du récepteur.

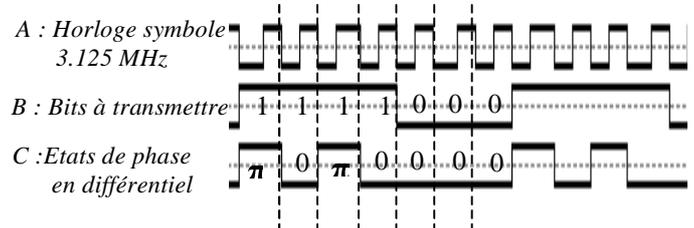


Figure 12 : séquence codée en différentiel

Ainsi, la transmission d'un 1 se traduit par une transition de phase d'une valeur de π à la fin de la période symbole et la transmission d'un 0 par une non-transition [4]. La reconstitution des bits transmis à la réception se fait donc en fonction des sauts de phase et non en fonction de la phase relative, ce qui permet de s'affranchir des inversions de phase.

Le filtre numérique en racine de cosinus [4] représente l'entrée du canal de transmission. Son rôle est double, il permet de réduire la largeur du canal et de satisfaire le premier critère de Nyquist pour éviter l'interférence intersymbole. Le spectre du signal «brut» de la figure 12C a une largeur importante (figure 13A, signal carré), sa réponse en fréquence en sinus cardinal n'est pas limitée.

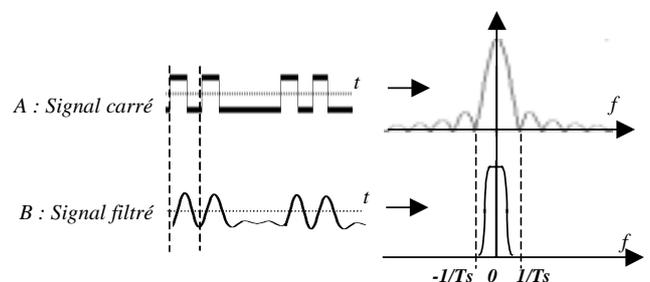


Figure 13 : représentations temporelles et fréquentielles des signaux de modulation

Le même signal mis en forme par le filtre occupe une largeur spectrale plus faible (figure 13B), sa réponse en fréquence a une forme cosinoïdale surélevée qui est limitée. La largeur spectrale résultant de cette mise en forme est inférieure à 2 fois le débit binaire de la transmission.

La conversion en analogique du signal numérique mis en forme (figure 13B) est assurée par un convertisseur $\Sigma\Delta$ (Sigma Delta) [5] dont la partie numérique est programmée dans le FPGA. Le filtre d'interpolation par 16 est une succession de 4 filtres d'interpolation par 2 en $\left[\frac{\sin x}{x} \right]$ du 2nd ordre permettant de faire passer la fréquence d'échantillonnage de 6.250 MHz (2×3.125 MHz) à 100 MHz. Le modulateur $\Sigma\Delta$ du 1^{er} ordre produit un train binaire sur 1 bit dont le spectre est composé du signal dans la bande

utile que l'on souhaite convertir, et du bruit de quantification rejeté dans les hautes fréquences (noise shaping) [5].

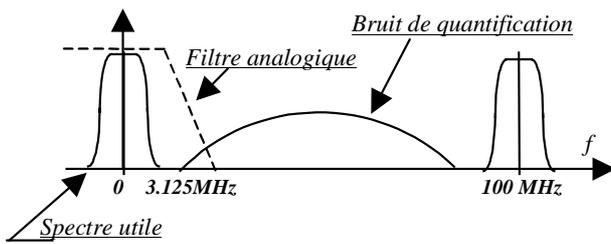


Figure 14 : spectre du train binaire Sigma-Delta

Le filtre analogique du second ordre permet de récupérer le signal analogique avec un rapport signal sur bruit d'environ 30db dans la largeur du canal, ce qui est largement suffisant pour une transmission numérique (Taux d'erreur de bit $< 10^{-9}$). L'implémentation du convertisseur Sigma-Delta dans le FPGA permet d'éviter l'utilisation d'un convertisseur monolithique et donc de réduire le poids et la taille du circuit imprimé.

5) La chaîne de transmission

On entend par chaîne de transmission, l'ensemble des fonctions qui vont permettre de transmettre le signal représentant les bits de données (figure 13A) avec le moins d'erreurs possible. L'entrée de cette chaîne se situe à l'entrée du filtre numérique en racine de cosinus et l'autre extrémité de la chaîne se situe à la sortie du filtre numérique complémentaire en racine de cosinus, qui se trouve dans le démodulateur numérique de réception. Le but d'une telle architecture est d'avoir une partie du filtre à l'émission pour réduire la largeur du canal, et l'autre partie à la réception pour filtrer le bruit induit par la liaison HF. La combinaison des deux filtres ($\sqrt{RCF} \times \sqrt{RCF} = RCF$) est un filtre en cosinus surélevé qui a une réponse impulsionnelle permettant de respecter le premier critère de Nyquist dont le but est d'éviter les interférences inter symboles [4].

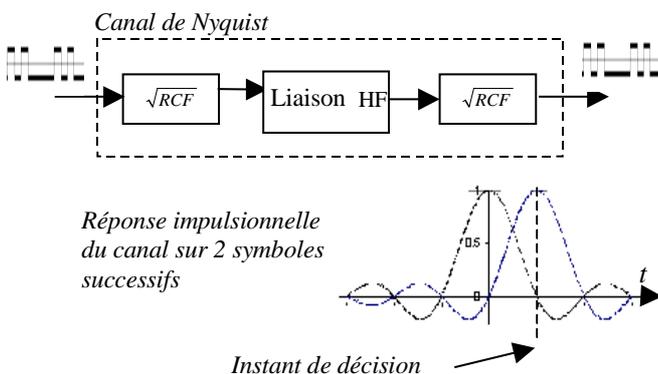


Figure 15 : canal de transmission, 1^{er} critère de Nyquist

Le premier critère de Nyquist est illustré figure 15 : en superposant deux réponses impulsionnelles successives séparées d'une période du rythme symbole, on voit qu'à l'instant de décision, seule la valeur du symbole considéré est à 1 tandis que la réponse impulsionnelle du symbole

précédent passe par 0. La somme des réponses impulsionnelles successives crée le signal représenté à la figure 13B.

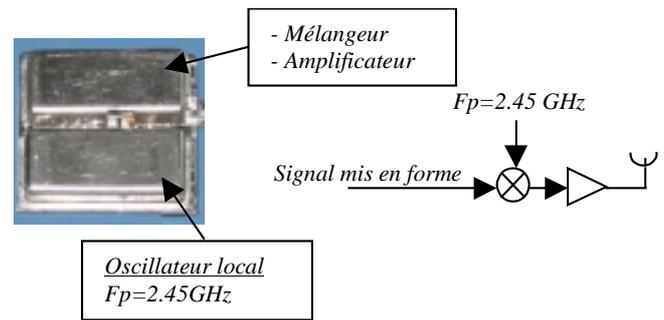
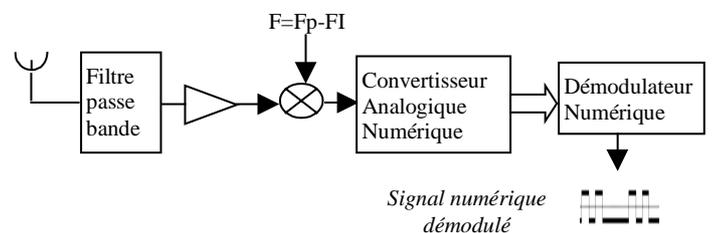


Figure 16 : implémentation du transmetteur

La suite du traitement analogique du signal est effectuée par le transmetteur qui est composé de deux parties.

La partie oscillateur local est une PLL (Phase Locked Loop) réalisée avec un synthétiseur programmable National semiconductors LMX 2326 associé à un VCO (Voltage Controlled Oscillator) Maxim MAX2753. La fréquence de la porteuse F_p générée est fixée à la mise sous tension par une séquence de configuration générée par le FPGA. Les deux parties sont blindées séparément pour minimiser les perturbations mutuelles et les perturbations externes. La partie mélange et amplification est composée d'un mélangeur RF Micro devices RF2480, suivie d'un amplificateur Agilent MGA 86563. Le mélangeur effectue la multiplication du signal mis en forme (signal compris entre +1 et -1) par la porteuse (Figure 16), ce qui permet d'obtenir une translation directe du spectre en bande de base sur la porteuse avec une modulation à deux états de phase (BPSK). Le signal amplifié à 1mW (0 dbm) est appliqué à une antenne «brin» adaptée en $\lambda/4$.

Côté récepteur, le signal est capté par une antenne «Yagi» à 6 éléments (1 réflecteur, 1 dipôle, 4 directeurs) puis filtré par un passe-bande pour éviter les interférences des spectres proches (téléphonie mobile par exemple). Le mélangeur effectue l'opération de translation inverse du spectre sur la fréquence intermédiaire de 10 Mhz. Le signal est ensuite numérisé pour être démodulé numériquement.



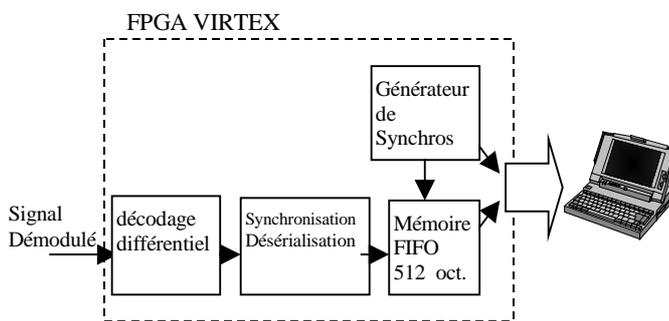
Figures 17 :synoptique du récepteur

Le démodulateur numérique est constitué d'un tuner numérique HSP50110 suivi d'une boucle de Costats numérique HSP50210 (composants INTERSIL). Le HSP50110 ramène le spectre en bande de base, le signal à sa sortie est donc identique à celui de la figure 13B en

numérique (sur 10 bits) et son niveau est maintenu constant par un contrôle automatique de gain. Le HSP 50210 contient le filtre en racine de cosinus complémentaire, suivi de l'organe de décision qui détermine la valeur des symboles (0 ou 1) et régénère l'horloge symbole. Une information d'erreur de phase est renvoyée au HSP50110 afin qu'il effectue une démodulation numérique cohérente.

6) L'acquisition

Le circuit d'acquisition constitue l'interface entre les données brutes démodulées et le PC qui a pour fonction la décompression et l'affichage des images. Ce circuit fait une mise en forme des données pour les rendre compatibles avec la carte d'acquisition. Pour ce faire, un FPGA identique à celui de la micro caméra (Xilinx Virtex 100 000 portes) intègre les fonctions programmées en VHDL de la figure 18.



Figures 18 : Mise en forme pour l'acquisition

Le décodeur différentiel est la fonction duale du codeur de la micro caméra, il recrée le train binaire en fonction des sauts de phase (cf. paragraphe 4). La désérialisation se fait après la synchronisation sur le mot de début de la trame d'image. Une trame, ou un fichier JPEG, est composée de deux parties : une partie qui comporte les caractéristiques de l'image compressée (la taille, le nombre de couleurs, les matrices de codage, la matrice de quantification...) que l'on appelle «Header». L'autre partie est composée des blocs 8x8 pixels compressés et codés (cf. paragraphe 3.2) que l'on appelle «Scan». Chaque partie, et sous-partie, du code JPEG est précédée d'un marqueur que l'on peut discriminer grâce à son préfixe qui n'est pas utilisé par ailleurs dans le code. La micro caméra n'envoie que la partie «Scan» du code, précédée du coefficient de quantification, précédé lui-même du marqueur de début du Scan (SOS, Start Of Scan). La détection de ce marqueur permet de connaître la position du début du premier mot de la trame et donc de synchroniser l'horloge de désérialisation. Les mots de 8 bits reconstitués sont accumulés dans une mémoire tampon qui est déchargée par l'horloge associée aux signaux de synchronisation nécessaires au pilotage de la carte d'acquisition qui sont produits par le générateur de synchros. La présence de cette mémoire est justifiée par la différence entre la vitesse d'acquisition et le débit des mots après la désérialisation. De la même façon que dans la micro caméra, des mots de bourrage sont débités lorsque la mémoire est vide pour ne pas rompre le flux d'information. Ces mots, inutiles pour l'image, sont filtrés par soft après l'acquisition.

7) L'affichage

La fonction d'affichage est confiée à un PC équipé d'une carte d'acquisition pilotée par un logiciel développé en Visual C++.

Le but de ce programme est de recréer une trame au format JPEG standard à partir des données envoyées par la caméra afin de pouvoir utiliser un décompresseur soft standard.

La première étape après l'acquisition (Figure 19) consiste à enlever les mots de bourrage de la trame qui ont été rajoutés lors des opérations de régulation de flux de données. Ces mots reprennent le principe du marqueur (cf. paragraphe 6) que l'on peut facilement détecter et supprimer. L'étape de détection des marqueurs de début et de fin de trame permet de récupérer le coefficient de quantification de l'image en cours, et de connaître la position et la longueur du «scan» de la micro caméra.

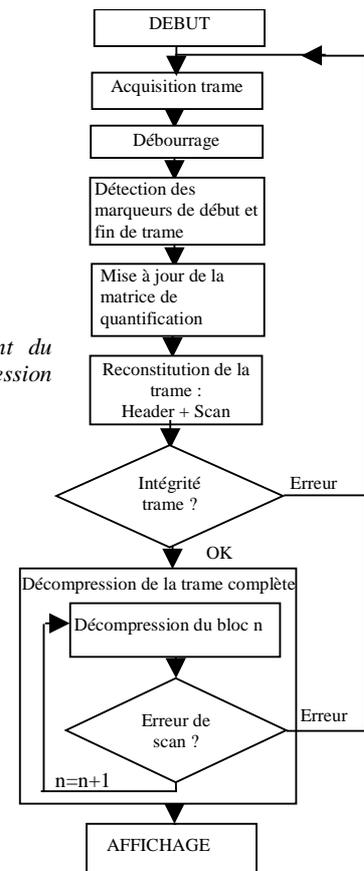


Figure 19 : déroulement du programme de décompression et d'affichage

Pour reconstituer une trame complète, le programme crée une trame dont la partie «Header» est déjà connue, et la partie «scan» est vide. La mise à jour de la matrice de quantification contenue dans le «Header» se fait en divisant chaque élément de cette matrice par le coefficient de quantification contenu dans les données de la micro caméra. Le «scan» de la caméra est ensuite copié dans la partie «scan» vide de la trame. A ce niveau, le programme fait un contrôle d'intégrité (longueur de trame, position et intégrité des marqueurs) pour éviter un dysfonctionnement du décompresseur dans le cas d'une trame erronée.

La décompression se fait bloc par bloc avec un contrôle du code contenu dans le «scan». Si le code est correct, le programme affiche l'image ; dans le cas contraire, le programme sort du décompresseur et attend l'acquisition de la trame suivante. La décompression et l'affichage des

images en temps réel se fait en mettant en boucle cette procédure.

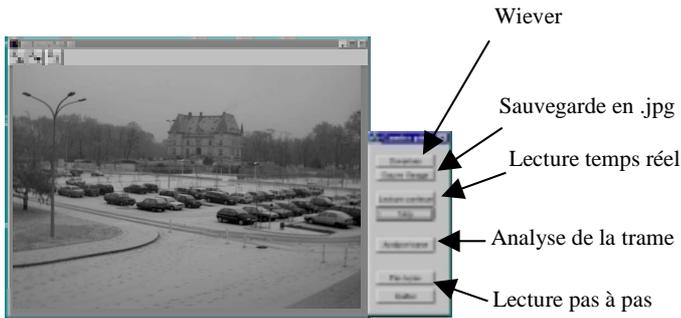


Figure 20 : Interface graphique du logiciel

L'interface graphique du programme permet de visualiser l'image en temps réel (14 images par seconde) ou en pas à pas, l'image courante peut être sauvegardée au format JPEG et visualisée avec ce programme ou par un viewer standard. La fonction «Analyse trame» sauvegarde la trame courante dans un fichier texte pour analyse (sous MATLAB par exemple).

8) La plateforme d'essai

La plateforme d'essai est un drone fabriqué par SUPAERO, appelé «Dréanalyne» (figure 21). Cet appareil a une envergure de 62cm pour une longueur totale de 78cm et peut embarquer une charge de 300 grammes environ.

La micro caméra et son transmetteur représente une charge embarquée (micro caméra + transmetteur + câbles) de 30 grammes environ, hors batterie. Deux batteries 3.7V Li-Ion, de 18 grammes chacune donnent une autonomie de 2 heures environ à la caméra et son transmetteur.

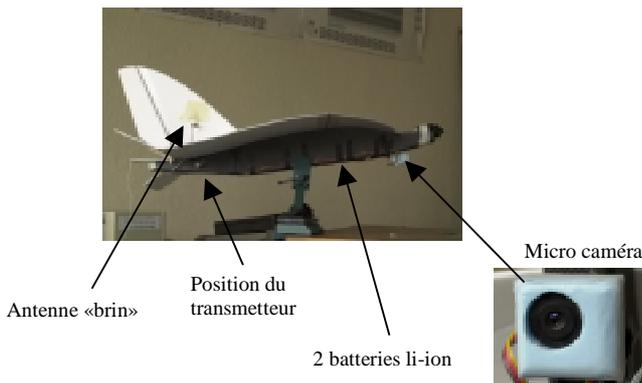


Figure 21 : plateforme d'essai

Compte tenu des problèmes de perturbations entre les différents éléments, la caméra est éloignée du transmetteur qui est lui-même éloigné de l'antenne.

CONCLUSION

Les résultats des premiers essais de transmission des images montrent que l'on peut obtenir une portée de 300 mètres sans problème en champ libre avec une faible puissance d'émission (1mW). La cadence de prise de vue est suffisante

pour la vitesse et l'altitude de vol de la plateforme d'essai actuelle. Il est évident que la cadence image et l'optique de la micro caméra devront être recalculés lors de l'intégration dans un drone de plus petite taille.

Une des premières améliorations à apporter à ce système est le passage en QPSK (Quadrature Phase Shift Keying), car si la largeur spectrale du canal est déjà faible (6.250 Mhz) par rapport à un système analogique classique (20 Mhz environ), elle peut être encore divisée par deux avec une modulation en quatre états de phase [4]. L'autre priorité en termes d'amélioration est de rendre portable la station sol. Cela passe par la miniaturisation des différents éléments (synthétiseur de fréquence, démodulateur numérique et décodeur) mais cela impose également de se séparer de la carte d'acquisition qui nécessite un PC encombrant et de développer un système d'acquisition par port USB, ce qui permettrait d'utiliser un PC portable, voire même un PDA (Personal Digital Assistant).

Cette micro caméra, telle qu'elle a été conçue, est une première version dont le but est de démontrer que l'approche numérique offre une multitude de possibilités. Sur le plan de l'optimisation en termes d'encombrement, le but de l'utilisation d'un FPGA programmé en VHDL est de faciliter l'intégration des fonctions numériques sur silicium. Mais la finalité à plus long terme est d'introduire des fonctions de traitement numérique de reconnaissance d'image dans le domaine visible mais aussi dans le domaine invisible en utilisant les propriétés du capteur monochrome dans le proche infrarouge. Une étude sur les algorithmes de reconnaissance d'objets, sur des images issues de caméras embarquées sur un micro drone, a doré et déjà commencé au laboratoire CIMI à SUPAERO, sous forme de projet d'élèves d'initiation à la recherche (PIR) dont le but à plus long terme est de réaliser un système autonome embarqué de reconnaissance d'objet.

BIBLIOGRAPHIE

- [1] AGILENT TECHNOLOGIES Inc. ; HDCP2010 An Image Processing Chip for the HDCS Family CMOS Image Sensors
- [2] Albert J.P. THEUWISSEN ; *Solid-State Imaging with Charge-Coupled Devices* ; KLUWER ACADEMIC PUBLISHERS
- [3] GUILLOIS Jean-Paul ; *Technique de compression des images* ; Hermes
- [4] HIKMET Sari ; *Transmission des signaux numériques* ; Techniques de l'ingénieur, traité Electronique ; **DOC. E7100**
- [5] JOHNS David et MARTIN Ken ; *Analog Integrated Circuit Design* ; JohnWiley&sons,inc